

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-225004

(43)Date of publication of application : 03.10.1987

(51)Int.Cl. H03B 5/36

(21)Application number : 61-069013 (71)Applicant : MATSUSHITA ELECTRIC IND
CO LTD

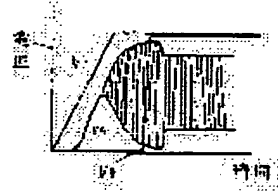
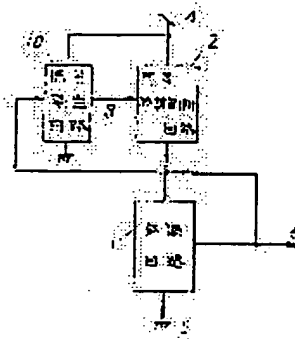
(22)Date of filing : 27.03.1986 (72)Inventor : HOSOKAWA YOSHIHIRO

(54) OSCILLATION CIRCUIT

(57)Abstract:

PURPOSE: To change the resistance of an inserted resistance control circuit between an oscillation circuit and a current supply source, to reduce the oscillation start time and the power consumption in operation by detecting the start of oscillation of the oscillation circuit to generate a delay signal.

CONSTITUTION: A voltage V4 of a power supply 4 is fed to an oscillation circuit section 1 of an oscillation circuit via a variable resistance control section 2, the oscillation is started when the voltage V4 of the power supply 4 reaches a prescribed value to output an output waveform V6 at an oscillation output terminal 6. The output waveform V6 is detected by a signal generating circuit 10 and after a delay time elapsed till the oscillation is made stable, an output voltage V8 is outputted to a signal generating circuit output terminal 8. Then the output voltage V8 is fed to the section 2 to increase the resistance in the circuit thereby reducing the power consumption in operation and reducing the oscillation start time.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑬ Int.Cl.⁴

H 03 B 5/36

識別記号

庁内整理番号

6749-5J

⑭ 公開 昭和62年(1987)10月3日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 発振回路

⑯ 特 願 昭61-69013

⑰ 出 願 昭61(1986)3月27日

⑱ 発 明 者 細 川 義 浩 門真市大字門真1006番地 松下電器産業株式会社内
⑲ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地
⑳ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

発振回路

2、特許請求の範囲

発振回路の発振開始を検出して遅延信号を発生させる遅延信号発生回路と、その遅延信号により、前記発振回路と電流供給源との間に挿入された抵抗制御回路の抵抗値を変化させる手段をそなえた発振回路。

3、発明の詳細な説明

産業上の利用分野

本発明は、発振開始の時間が早く、かつ消費電力の小さな発振回路に関するものである。

従来の技術

従来、発振回路の電源投入後の開始時間を短くするには、発振回路の能力を大きくし、接続される水晶振動子や、セラミック発振素子に供給するエネルギーを大きくすることが必要であるが、このことは消費電力を大きくすることにつながり、低消費電力とは相反する。

近年情報処理速度が益々高速化され、かつ消費電力は益々減少することが要求される。特に電池電源を使用する場合には、低消費電力化は不可欠であり、また、回路は、使用しない時はスタンバイモードに設定され、発振回路もストップ状態にして、極力消費電流を少なくする。一方、回路の使用状態では、出来るだけ、すみやかに発振を開始して動作状態に移行することが必要である。

従来この両者を両立させることが困難であった。

発明が解決しようとする問題点

このように従来の回路では、相反する要求を満足させることが困難であった。本発明は、発振の立ち上がり時間の短縮と、低消費電力化を同時に達成する回路の提供を目的としている。

即ち、本発明は、上記問題点を解決するため、発振開始時には、発振回路に大きな電流を供給することで、発振開始時間を短かくし、発振が安定した後は、発振回路に供給する電流を制限して、低消費電力化を達成する回路を提供する。

問題点を解決するための手段

本発明は、発振回路とこの発振回路の発振開始を検出する回路と、発振が安定するまでの時間以上の遅延信号を発生する回路と、その信号により、発振回路と電流供給源との間に挿入された可変抵抗回路を制御して、その抵抗値を変化させる回路とで構成された発振回路である。

作用

本発明によると、発振開始時には、可変抵抗回路の抵抗値を小さくして、発振回路に供給する電流を大きくし、発振開始時間を短かくし、また発振が安定した後は、その抵抗値を大きくすることで、その電流値を、発振維持電流値の最小値近傍まで絞り込み、消費電流が最小限に制御される。

実施例

第1図は、本発明の発振回路の一実施例を示すブロック図である。第1図において、1は発振回路、2は可変抵抗制御回路、4は電源、5は接地電源、6は発振回路出力端子、10は発振が安定する迄の時間遅延をもった信号発生回路（以下、発振検出、遅延回路と呼ぶ）さらに、8はその出

の電圧 V_8 は第2図のように、“L”レベルであり、並列のPチャネルトランジスタ21、22は両方ともオン状態で、低抵抗状態である。発振が開始して、ある遅延時間後に信号発生回路10の出力端子8の電圧は、“H”に変化するため、これによって駆動されるPチャネルトランジスタ22はオフ状態となり、発振回路に供給される電流は、トランジスタ21を通してのみの値となる。ここでトランジスタ21のオン抵抗値を、最小発振維持電流に設計することにより、安定発振後の消費電流を最小値に抑えることが可能となる。

なお、この回路構成はNMOS、PMOSトランジスタ構成の反転した回路にも適用できる。

発明の効果

以上述べてきたように、本発明によれば、発振開始時間を短縮化し、かつ、使用時の消費電力を小さくすることができ、高速、低消費電力の回路には極めて有効である。

4、図面の簡単な説明

第1図は本発明の一実施例における発振回路ブ

ロック図である。

第2図は信号波形の一例であり、電源電圧 V_4 がある値以上になると発振を開始し、出力端子6に出力波形 V_6 が得られる。この発振を検出し、安定するまでの遅延時間経過後、信号発生回路10に端子電圧 V_8 の信号が発生するものとする。

信号発生回路10の端子電圧 V_8 の信号により第1図中の可変抵抗制御回路2の抵抗値を増大させ、発振々幅を減少させ、パワーダウンを図る。この時の振幅は次段の分周回路を駆動できる大きさがあれば良い。

更に具体的回路例を第3図に示す。

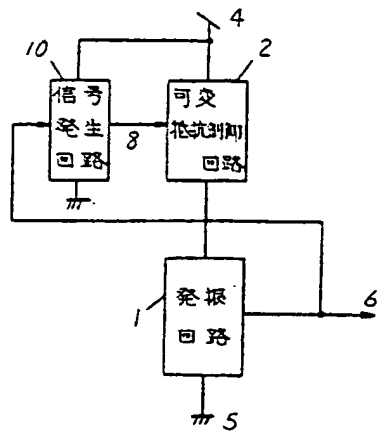
第3図ではCMOS回路の場合を示す。11、21、22はPチャネルトランジスタ、12はNチャネルトランジスタであり、この対により発振回路のインバータ部分を形成する。13、14は容量、15は水晶またはセラミックの発振子である。21、22は並列に接続されたPチャネルトランジスタであり、可変抵抗回路を構成する。発振開始時には、信号発生回路10の出力端子8

ロック図、第2図はその各部の電圧波形、第3図はCMOSを用いた場合の実施例回路図である。

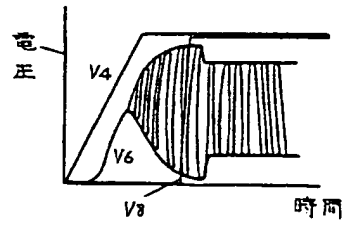
1……発振回路部、2……可変抵抗制御部、10……信号発生回路、4……電源、5……接地電位、6……発振出力端子、8……信号発生回路出力端子、11、21、22……Pチャネルトランジスタ、12……Nチャネルトランジスタ、13、14……容量、15……発振素子（水晶又はセラミック）。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

第 1 図



第 2 図



第 3 図

